

УДК: 004.272

СИНТЕЗ МНОГОУРОВНЕВЫХ СТРУКТУР СО МНОГИМИ ВЫХОДАМИ

В.Н. Опанасенко, С.Л. Крывый

В работе рассматривается метод решения задачи адаптации логической сети со многими выходами с восстановлением входного множества двоичных векторов при заданных только младших значениях этих векторов и значениях на выходах сети. Алгоритм синтеза логической сети основан на описании ее полиномом Жегалкина. Ил.: 3. Библиогр.: 7 назв.

Ключевые слова: адаптация, булева функция, полином Жегалкина.

В роботі розглядається метод розв'язання задачі адаптації логікової мережі з багатьма виходами з відновленням вхідної множини двійкових векторів при заданих тільки молодших значеннях цих векторів і значень на виходах мережі. Алгоритм синтезу логікової мережі ґрунтується на зображенні її поліномом Жегалкіна. Іл.: 3. Бібліогр.: 7 назв.

Ключеві слова: адаптація, булева функція, поліном Жегалкіна.

The method for solution of adaptation problem of the logical network with many outputs for the restoration of the input set of binary vectors when given only the lower values of this set and the values of the outputs is considered. The algorithm synthesis of the logical network is based on the description of its polynomial Zhegalkin. Fig.: 3. Ref. 7 titles.

Key words: Adaptation, Boolean functions, polynomial Zhegalkin.

1. Необходимые сведения и определения

В работах [1–3] рассмотрены вопросы адаптации логических сетей с одним выходом на основе треугольной матрицы, которые реализуют разбиение множества входных двоичных векторов $e = (e_n, \dots, e_2, e_1) \in E$ в виде двоичных векторов на два подмножества на основе заданной обучающей выборки $D \subseteq E$. При этом считается, что значение выхода Y логической сети определяется следующим образом:

$$Y = \begin{cases} 1, & \text{если } e \in D; \\ 0, & \text{если } e \in \bar{D}, \end{cases}$$

где $\bar{D} = E \setminus D$ – дополнение множества D в множестве E .

Во многих задачах классификации актуальной является задача восстановления информации по ее части, поскольку в процессе трансмиссии сигналы могут искажаться [4, 5]. Такая задача состоит в том, чтобы по известной (не искаженной) части входных сигналов и известным выходным значениям $Y = (y_1, \dots, y_2, y_1)$ восстановить входную выборку D , которая обеспечивает заданные значения выходных сигналов.

В данной работе рассматривается метод решения двух задач. Первая задача состоит в синтезе логической сети по входной выборке с одним выходом, а вторая – в синтезе логической сети с восстановлением входной выборки по ее известной части, обеспечивающей заданные выходные значения сети со многими выходами.

Структура связей синтезируемой логической сети является сотовой, а ее архитектура определяется следующими параметрами:

- логическая сеть со многими выходами;
- $D \subseteq E$ – обучающая выборка или ее неискаженная часть, где $e = (e_m, \dots, e_2, e_1) \in D$ – двоичные векторы;
- h – выходная размерность сети (разрядность выходных двоичных векторов $y = (y_h, \dots, y_1) \in Y$), где значения y_i $i = 1, 2, \dots, h$, заданы (в частности, h может быть равно 1).

Синтез логической сети выполняется с помощью представления ее логических элементов в виде полинома Жегалкина. Посредством выбранной структуры сети реализуется отображение $\mathfrak{R}: D \rightarrow Y$. Выходами сети является двоичный вектор $y \in Y$. Логическая сеть с сотовой структурой связи на основе универсальных логических элементов (ЛЭ) $L_{i,j}$ характеризуется следующими параметрами:

- количество уровней m определяется величиной $m = n - h$;
- количество ЛЭ на j -ом уровне сети определяется величиной $N_j = (n - j)$. Общее число ЛЭ в сети равно $N = (n + h - 1)(n - h) / 2$.

Структура такой сети для $n = 5$, $h = 2$ на основе ЛЭ показана на рис. 1.

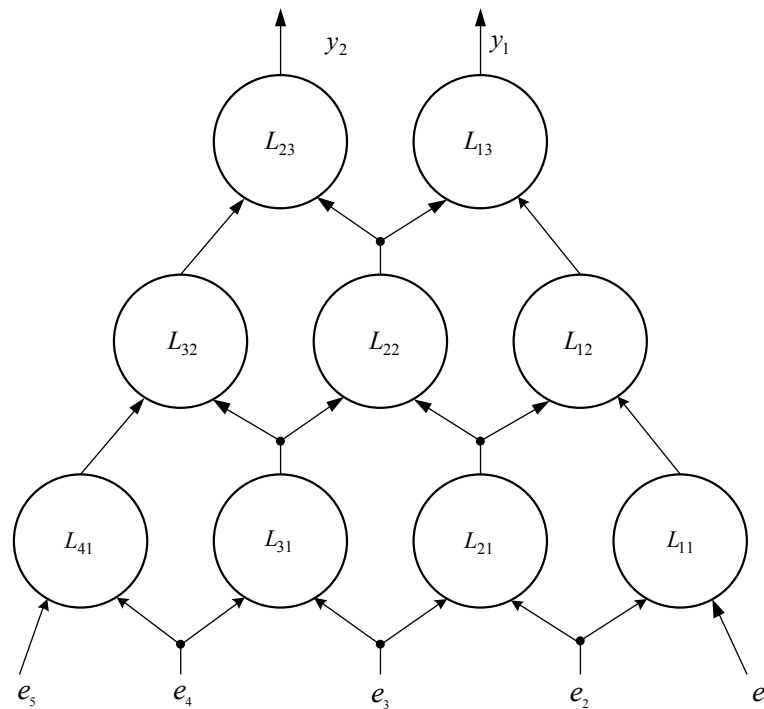


Рис. 1. Сеть с сотовой структурой связи

2. Общая постановка задачи

Дана группа только младших (старших) разрядов входных векторов обучающей выборки $D \subseteq E$, т. е. $(e = (e_\mu, e_{\mu-1}, \dots, e_1))$, где $\mu < n$. Аналогично, если задана группа только старших разрядов или любая группа подряд идущих символов.

Необходимо для заданной структуры сети с h выходами, значения которых известны, и множества входных векторов $e \in D$ синтезировать логическую сеть и восстановить полноразрядное входное множество векторов.

2.1. Решение первой задачи

Рассмотрим логическую сеть с одним выходом и обучающей выборкой D с тремя входами (рис. 2). Как будет видно из метода синтеза, такие значения не ограничивают общности рассмотрения.

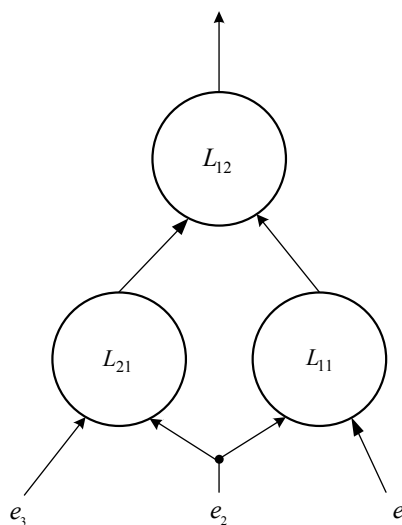


Рис. 2. Логическая сеть с тремя входами

Сеть синтезируется с помощью полинома Жегалкина в виде:

$$P_{f(3)} = a_0 + a_1 e_1 + a_2 e_2 + a_3 e_1 e_2 + a_4 e_3 + a_5 e_1 e_3 + a_6 e_2 e_3 + a_7 e_1 e_2 e_3$$

с заданием обучающей выборки $D = \{(0,0,0), (0,1,0), (1,0,1), (1,1,0)\}$.

Исходя из условия (1), на элементах из D полином $P_{f(3)}$ должен принимать значение 1, а на элементах из дополнения $\bar{D} = \{(1,0,0), (0,0,1), (0,1,1), (1,1,1)\}$ его значения должны быть равны 0. Тогда по выборке D получаем систему (1) линейных неоднородных диофантовых уравнений (СЛНДУ) в поле вычетов F_2 по модулю 2, из которой необходимо найти значения коэффициентов $a_i, \forall i = 0, 1, \dots, 7$.

$$S = \begin{cases} 1a_0 \oplus 0a_1 \oplus 0a_2 \oplus 0a_3 \oplus 0a_4 \oplus 0a_5 \oplus 0a_6 \oplus 0a_7 = 1, \\ 1a_0 \oplus 0a_1 \oplus 1a_2 \oplus 0a_3 \oplus 0a_4 \oplus 0a_5 \oplus 0a_6 \oplus 0a_7 = 1, \\ 1a_0 \oplus 1a_1 \oplus 0a_2 \oplus 0a_3 \oplus 1a_4 \oplus 1a_5 \oplus 0a_6 \oplus 0a_7 = 1, \\ 1a_0 \oplus 0a_1 \oplus 1a_2 \oplus 0a_3 \oplus 1a_4 \oplus 0a_5 \oplus 1a_6 \oplus 0a_7 = 1, \\ 1a_0 \oplus 1a_1 \oplus 1a_2 \oplus 1a_3 \oplus 1a_4 \oplus 1a_5 \oplus 1a_6 \oplus 1a_7 = 0, \\ \dots \dots \dots \dots \dots \dots \dots \dots = 0, \\ \dots \dots \dots \dots \dots \dots \dots \dots = 0, \\ \dots \dots \dots \dots \dots \dots \dots \dots = 0. \end{cases} \quad (1)$$

Решая данную систему TSS-методом [6,7], находим единственное решение $x^1 = (1,1,0,0,1,0,1,0)$, которому соответствует полином Жегалкина:

$$P_{f(3)} = 1 \oplus e_1 \oplus e_3 \oplus e_3 e_2 = \bar{e}_1 \oplus \bar{e}_2 e_3.$$

Если выборка D меняется, например, $D = \{(0,0,0), (0,1,0), (0,0,1)\}$, то матрица системы (2) не меняется, а меняются только свободные члены:

$$S = \begin{cases} 1a_0 \oplus 0a_1 \oplus 0a_2 \oplus 0a_3 \oplus 0a_4 \oplus 0a_5 \oplus 0a_6 \oplus 0a_7 = 1, \\ 1a_0 \oplus 0a_1 \oplus 1a_2 \oplus 0a_3 \oplus 0a_4 \oplus 0a_5 \oplus 0a_6 \oplus 0a_7 = 1, \\ 1a_0 \oplus 1a_1 \oplus 0a_2 \oplus 0a_3 \oplus 0a_4 \oplus 0a_5 \oplus 0a_6 \oplus 0a_7 = 1, \\ 1a_0 \oplus 0a_1 \oplus 1a_2 \oplus 0a_3 \oplus 1a_4 \oplus 0a_5 \oplus 1a_6 \oplus 0a_7 = 0, \\ 1a_0 \oplus 1a_1 \oplus 1a_2 \oplus 1a_3 \oplus 1a_4 \oplus 1a_5 \oplus 1a_6 \oplus 1a_7 = 0, \\ \dots \dots \dots \dots \dots \dots \dots \dots = 0, \\ \dots \dots \dots \dots \dots \dots \dots \dots = 0, \\ \dots \dots \dots \dots \dots \dots \dots \dots = 0. \end{cases}$$

Эта система имеет единственное решение $x^1 = (1,0,0,1,1,0,0,1)$, которому соответствует полином Жегалкина:

$$P_{f(3)} = 1 \oplus e_1 e_2 \oplus e_3 (1 \oplus e_1 e_2) = \bar{e}_3 (\bar{e}_1 \vee \bar{e}_2).$$

Если выборки D и \bar{D} меняются местами, т.е. обучающей выборкой становится выборка \bar{D}_1 , то полином Жегалкина принимает вид $P_{f(3)}^1 = 1 \oplus P_{f(3)}$.

Рассмотренное решение некоторым образом является определяющим в том смысле, что при добавлении новой входной переменной система позволяет без вычислений определить новые функции в узлах. Действительно, если рассматривать сеть с четырьмя входами с той же выборкой для трех переменных, то полином будет иметь вид:

$$P_{f(4)} = \bar{e}_1 \oplus \bar{e}_2 e_3 \oplus e_4,$$

а выборка, на которой он будет принимать значение 1 имеет вид:

$$D_1 = (0 \times D) \vee (1 \times \bar{D}) = \{(0,0,0,0), (0,0,1,0), (0,1,0,1), (0,1,1,0), (1,1,0,0), (1,0,0,1), (1,0,1,1), (1,1,1,1)\}.$$

Это обстоятельство позволяет решить общую задачу синтеза логической сети вышеописанным методом, который был назван волновым методом [3].

2.2. Синтез логической сети по обучающей выборке и нескольким выходам

Пусть задана сеть с сотовой структурой связи (рис. 3), на выходах которой заданы значения 1,0,1 и обучающая выборка которой имеет вид на первых трех выходах: $D_1^3 = \{(0,0,0), (0,1,0), (1,0,1), (1,1,0)\}$.

Синтез выполняем волновым методом.

1. По выборке D_1^3 синтезируем подсеть на первых трех входах. Логические элементы имеют вид $\bar{e}_1 \oplus \bar{e}_2 e_3$.

2. Волновым методом получаем подсеть для первого и второго выхода:

$$\bar{e}_1 \oplus \bar{e}_2 e_3 \oplus e_4,$$

а обучающая выборка, на которой значения будут 0 и 1 соответственно:

$$D_1^4 = \{(0,0,0,0), (0,0,1,0), (0,1,0,1), (0,1,1,0), (1,0,0,1), (1,1,0,0), (1,1,1,1), (1,0,1,1)\}.$$

3. Волновым методом получаем подсеть и для трех выходов и пяти входов:

$$\bar{e}_1 \oplus \bar{e}_2 e_3 \oplus e_4 \oplus e_5.$$

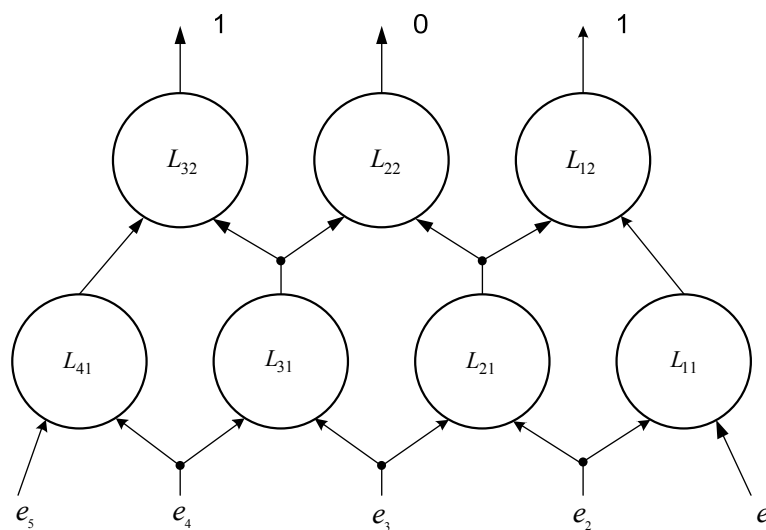


Рис. 3. Структура сети ($n = 5, h = 3$)

Однако эта функция будет давать на третьем выходе 0, а нам нужна 1. Для этого преобразуется к виду:

$$1 \oplus \bar{e}_1 \oplus \bar{e}_2 e_3 \oplus e_4 \oplus e_5 = \bar{e}_1 \oplus \bar{e}_2 e_3 \oplus e_4 \oplus \bar{e}_5 = e_1 \oplus \bar{e}_2 e_3 \oplus e_4 \oplus e_5,$$

а выборка, на которой будут обеспечены выходы 1, 0, 1, будет такой:

$$D_1^5 = \{(1,0,0,0,0), (1,0,0,1,0), (1,0,1,0,1), (1,0,1,1,0), (1,1,0,0,1), (1,1,0,1,1), (1,1,1,0,0), (1,1,1,1,1), \\ (0,0,0,0,1), (0,0,0,1,1), (0,1,1,1,0), (0,1,0,0,0), (0,0,1,0,0), (0,1,1,0,1), (0,1,0,1,0)\}.$$

1. Рассмотрим случай той же сети, но выходные значения будут 0, 1, 0 и обучающая выборка $D_2^3 = \{(0,0,0), (0,1,0), (1,0,1), (1,1,0)\}$ для e_2, e_3, e_4 . Поступаем также, как и в предыдущем случае:

1) Синтезируем функцию подсети на e_2, e_3, e_4 входах:

$$\overline{e_2} \oplus \overline{e_3} e_4;$$

2) Строим волновым методом функции подсети

$$\overline{e_2} \oplus \overline{e_3} e_4 \oplus e_1$$

и получаем обучающую выборку:

$$D_1^4 = \{(0,0,0,0), (0,1,0,0), (1,0,1,0), (1,1,0,0), (0,0,1,1), (1,0,0,1), (1,1,1,1), (0,1,1,1)\};$$

3) Строим волновым методом и для выхода третьего:

$$\overline{e_2} \oplus \overline{e_3} e_4 \oplus e_1 \oplus e_5$$

и получаем выборку, на которой обеспечиваются требуемые значения:

$$D_1^5 = \{(0,0,0,0,0), (0,0,1,0,1,0), (0,1,0,1,0), (0,1,1,0,0), (0,0,0,1,1), (0,1,0,0,1), (0,1,1,1,1), (0,0,1,1,1)\} \vee 1 \times \overline{D_1^4},$$

где $\overline{D_1^4}$ – дополнение до D_1^4 .

2. Рассмотрим случай той же сети с теми же выходами, что и в предыдущем случае, но выборка $D_2^3 = \{(0,0,0), (0,1,0)\}$. Тогда получаем функцию $\overline{e_2} e_4$, а обучающая выборка имеет вид:

$$D_1^4 = \{(0,0,0,0), (0,1,0,0), (1,0,1,1), (1,1,0,1), (0,0,1,1), (1,0,0,1), (1,1,1,1), (0,1,1,1)\} \text{ для } \overline{e_2} e_4 \oplus e_1.$$

3. Аналогично получаем и для третьего выхода:

$$\overline{e_2} e_4 \oplus e_1 \oplus e_5.$$

$$D_1^5 = \{(0,0,0,0,0), (0,0,1,0,0), (0,1,0,1,1), (0,1,1,0,1), (0,1,0,0,1), (0,0,0,1,1), (0,1,1,1,1), (0,0,1,1,1),$$

$$(1,1,0,0,0), (1,0,0,1,0), (1,0,1,0,1), (1,1,1,0,0), (1,0,1,1,0), (1,1,0,1,0), (1,1,1,1,0)\}.$$

Выводы

Предложен метод решения задачи синтеза адаптивных структур со многими выходами, представленных многоуровневыми логическими схемами, описанных логической сетью с сотовой структурой связи в виде ациклического графа, вершинами которого являются универсальные логические элементы. Синтез таких структур состоит в определении общей логической функции для каждого из выходов сети и восстановлении неизвестной (или искаженной) части двоичных разрядов заданной обучающей выборки, что позволяет использовать эту структуру для задачи восстановления искаженной информации. В отличие от известных методов синтеза многоуровневых логических схем в данной работе предложен подход к синтезу таких схем путем описания булевой сети на основе алгоритма решения СЛНДУ в поле вычетов по модулю 2. Этот метод обобщен для структур общего вида с n входами и h выходами, вне зависимости от того, часть каких разрядов обучающей выборки определена в постановке задачи (младшие или старшие).

1. Palagin A.V., Opanasenko V.N. Reconfigurable computing technology // Journal Cybernetics and Systems Analysis. – 2007. – 43 (5). – P. 675–686.
2. Opanasenko V.N., Kryvyi S.L. Partitioning the full range of boolean functions based on the threshold and threshold relation // Cybernetics and Systems Analysis. Springer New York. – 2012. – Vol. 48, N.3. – P. 459–468.
3. Opanasenko V.N., Kryvyi S.L. Synthesis of Adaptive Logical Networks on the Basis of Zhegalkin Polynomials // Cybernetics and Systems Analysis. Springer New York. – November 2015. – Vol. 51, 6. – P. 969–977.
4. Palagin A., Opanasenko V., Kryvyi S. The structure of FPGA-based cyclic-code converters // Journal Optical Memory & Neural Networks (Information Optics). – 2013. – 22 (4). – P. 207–216.
5. Palagin A.V., Opanasenko V.N. Design and application of the PLD-based reconfigurable devices // In: Design of Digital Systems and Devices, Springer, Verlag, Berlin, Heidelberg. – 2011. – Vol. 79. – P. 59–91.
6. Kryvyi S.L. Algorithms for solving systems of linear Diophantine equations in integer domains // Journal Cybernetics and Systems Analysis. – 2006. – 42 (2). – P. 163–175.
7. Kryvyi S.L. Algorithms for solving systems of linear Diophantine equations in residue fields // Journal Cybernetics and Systems Analysis. – 2007. – 43 (2). – P. 171–178.

References

1. Palagin A.V., Opanasenko V.N. Reconfigurable computing technology // Journal Cybernetics and Systems Analysis. – 2007. – 43 (5). – P. 675–686.
2. Opanasenko V.N., Kryvyi S.L. Partitioning the full range of boolean functions based on the threshold and threshold relation // Cybernetics and Systems Analysis. Springer New York. – 2012. – Vol. 48, N.3. – P. 459–468.
3. Opanasenko V.N., Kryvyi S.L. Synthesis of Adaptive Logical Networks on the Basis of Zhegalkin Polynomials // Cybernetics and Systems Analysis. Springer New York. – November 2015. – Vol. 51, 6. – P. 969–977.
4. Palagin A., Opanasenko V., Kryvyi S. The structure of FPGA-based cyclic-code converters // Journal Optical Memory & Neural Networks (Information Optics). – 2013. – 22 (4). – P. 207–216.
5. Palagin A.V., Opanasenko V.N. Design and application of the PLD-based reconfigurable devices // In: Design of Digital Systems and Devices, Springer, Verlag, Berlin, Heidelberg. – 2011. – Vol. 79. – P. 59–91.
6. Kryvyi S.L. Algorithms for solving systems of linear Diophantine equations in integer domains // Journal Cybernetics and Systems Analysis. – 2006. – 42 (2). – P. 163–175.
7. Kryvyi S.L. Algorithms for solving systems of linear Diophantine equations in residue fields // Journal Cybernetics and Systems Analysis. – 2007. – 43 (2). – P. 171–178.

Об авторах:

Опанасенко Владимир Николаевич,

доктор технических наук, профессор, ведущий научный сотрудник.

Количество научных публикаций в украинских изданиях – 100.

Количество научных публикаций в иностранных изданиях – 15.

H-index: Google Scholar – 5; Scopus – 1.

<http://orcid.org/0000-0002-5175-9522>.

Крывий Сергей Лукьянович,

доктор физико-математических наук, профессор.

Количество научных публикаций в украинских изданиях – 206.

Количество научных публикаций в иностранных изданиях – 43.

H-index: Google Scholar – 15; Scopus – 4.

<http://orcid.org/0000-0065-0736-4579>.

Место работы авторов:

Институт кибернетики имени В.М. Глушкова НАН Украины.

03187, г. Киев, проспект Академика Глушкова, 40.

Тел.: (044) 526 2598.

Киевский национальный университет имени Т.Г. Шевченко.

03680, г. Киев, проспект Академика Глушкова, 4.

Тел.: (044) 259 0511.

E-mail: opanasenko@incyb.kiev.ua, krivoi@i.com.ua.